

ΒΙΟΓΡΑΦΙΚΟ ΣΗΜΕΙΩΜΑ

ΧΡΙΣΤΟΦΟΡΟΣ ΚΑΧΡΗΣ

ΟΝΟΜΑ: ΧΡΙΣΤΟΦΟΡΟΣ ΚΑΧΡΗΣ

II. ΣΠΟΥΔΕΣ

ΠΡΟΠΤΥΧΙΑΚΕΣ ΣΠΟΥΔΕΣ:

Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Η/Υ (8,06/10),

Πολυτεχνείο Κρήτης, Χανιά, 2001

Thesis: Design and Implementation of a TCP/IP core in Reconfigurable Logic

ΜΕΤΑΠΤΥΧΙΑΚΕΣ ΣΠΟΥΔΕΣ:

M.Sc. : Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Η/Υ,

Πολυτεχνείο Κρήτης, Χανιά, 2003

(M.Sc. Thesis: Design and Implementation of the SCAN Image-Video Encryption Algorithm in Reconfigurable Logic (FPGAs))

Ph.D. : Department of Electrical Engineering, Mathematics and Computer Science,

Delft University of Technology, Ολλανδία, 2007

(Ph.D. Thesis: Reconfigurable Network Processing Platforms)

III. ΑΚΑΔΗΜΑΪΚΗ ΔΡΑΣΤΗΡΙΟΤΗΤΑ

1. ΑΚΑΔΗΜΑΪΚΗ ΕΜΠΕΙΡΙΑ

ΔΙΑΡΚΕΙΑ	ΙΔΡΥΜΑ	ΘΕΣΗ	ΠΕΡΙΓΡΑΦΗ
1/2019 – 2/2020 (12 μηνες)	Δημοκρίτειο Πανεπιστήμιο Θράκης, Σχολή Ηλεκτρολόγων Μηχανικών	Επίκουρος Καθηγητής «Ψηφιακά Συστήματα»	Επίκουρος Καθηγητής στο Δ.Π.Θ. στα Ψηφιακά Ηλεκτρονικά Συστήματα Μαθηματα: Οργάνωση Υπολογιστών, Ηλεκτρονικά Κυκλώματα
1/2016 – 11/2021 (71 μηνες)	Ερευνητικό Πανεπιστημιακό Ινστιτούτο Συστημάτων Επικοινωνιών και Υπολογιστών (ΕΠΙΣΕΥ), Ε.Μ.Π.	Ερευνητής	Μετα-διδακτορικός Ερευνητής σε αρχιτεκτονική υπολογιστών για ετερογενή πληροφοριακά συστήματα υπολογιστών για κέντρα δεδομένων, (Heterogeneous Data Centers based on Hardware accelerators) Τεχνικός Υπεύθυνος έργου στο πρόγραμμα Horizon2020 – VINEYARD: http://vineyard-h2020.eu Τεχνικός Υπεύθυνος έργου στο πρόγραμμα ΕΛΙΔΕΚ: CloudAccel
9/2017 – 12/2017	ΕΚΠΑ Τμήμα Πληροφορικής	Διδασκαλία Ενσωματωμένω ν συστημάτων	Ενσωματωμένα Συστήματα

9/2010 – 1/2016 (65 μήνες)	Εργαστήριο Έρευνας και Επιμόρφωσης στις Τεχνολογίες της Πληροφορίας (Athens Information Technology – AIT)	Ερευνητής	Μετα-διδακτορικός Ερευνητής σε αρχιτεκτονική υπολογιστών για επεξεργαστές εξυπηρετητών χαμηλής κατανάλωσης ενέργειας (energy-efficient servers based on embedded processors), αρχιτεκτονική δικτύων για κέντρα δεδομένων (data center interconnection networks) και αρχιτεκτονική υπολογιστών ενσωματωμένων συστημάτων για τηλεπικοινωνίες (hardware architecture for telecommunication systems) στα ευρωπαϊκά ερευνητικά έργα: FP7 ACCORDANCE, FP7 CHRON, FP7 COCONUT, FP7 ASTRON, NAVOLCHI
2/2010 – 8/2010 (6 μήνες)	Πανεπιστήμιο Κρήτης	Λέκτορας (ΠΔ 407)	HY220 Εργαστήριο Ψηφιακών Κυκλωμάτων
9/2009 – 1/2010 (6 μήνες)	Πανεπιστήμιο Κρήτης	Λέκτορας (ΠΔ 407)	HY225 Οργάνωση Υπολογιστών
2/2009 – 8/2010 (19 μήνες)	Ινστιτούτο Πληροφορικής ΙΤΕ	Ερευνητής	Ερευνητής σε αρχιτεκτονική υπολογιστών για ενσωματωμένα συστήματα και για πολυπύρηνους επεξεργαστές

2. ΔΙΔΑΚΤΙΚΗ ΕΜΠΕΙΡΙΑ

Διδασκαλία μαθημάτων πριν από τη λήψη του Διδακτορικού Διπλώματος:

ΙΔΡΥΜΑ	ΘΕΣΗ	ΜΑΘΗΜΑ	ΔΙΑΡΚΕΙΑ
Πολυτεχνείο Κρήτης, Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Η/Υ	Βοηθός Εργαστηριακών Ασκήσεων	Συστήματα Πραγματικού Χρόνου με Μικρο-ελεγκτές	Εαρ. Εξάμηνο 2002
Πολυτεχνείο Κρήτης, Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Η/Υ	Βοηθός Εργαστηριακών Ασκήσεων	Ψηφιακοί Υπολογιστές	Εαρ. Εξάμηνο 2001
Πολυτεχνείο Κρήτης, Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Η/Υ	Βοηθός Εργαστηριακών Ασκήσεων	Λογική Σχεδίαση Ψηφιακών Συστημάτων	Εαρ. Εξάμηνο 2001
Πολυτεχνείο Κρήτης, Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Η/Υ	Βοηθός Εργαστηριακών Ασκήσεων	Σχεδιασμός συστημάτων VLSI & ASIC	Χειμ. Εξάμηνο 2001

Διδασκαλία μαθημάτων μετά τη λήψη του Διδακτορικού Διπλώματος:

ΙΔΡΥΜΑ	ΘΕΣΗ	ΜΑΘΗΜΑ	ΔΙΑΡΚΕΙΑ
Δ.Π.Θ. Τμήμα ΗΜΜΥ	Επίκουρος Καθηγητής	Οργάνωση Υπολογιστών	Χειμ. Εξάμηνο 2019
Δ.Π.Θ. Τμήμα ΗΜΜΥ	Επίκουρος Καθηγητής	Ηλεκτρονικά Κυκλώματα	Χειμ. Εξάμηνο 2019
ΕΚΠΑ Τμήμα Πληροφορικής	Διδάσκων	Ενσωματωμένα Συστήματα	Χειμ. Εξάμηνο 2017
Εργαστήριο Έρευνας και Επιμόρφωσης στις Τεχνολογίες Πληροφορίας (ΑΙΤ)	Διδάσκων Κέντρου Μεταλλυκειακής Εκπαίδευσης	Μικροεπεξεργαστές και Ενσωματωμένα Συστήματα	Εαρ. Εξάμηνο 2013
Εργαστήριο Έρευνας και Επιμόρφωσης στις Τεχνολογίες Πληροφορίας (ΑΙΤ)	Διδάσκων Κέντρου Μεταλλυκειακής Εκπαίδευσης	Ψηφιακή Σχεδίαση	Χειμ. Εξάμηνο 2013
Εργαστήριο Έρευνας και Επιμόρφωσης στις Τεχνολογίες Πληροφορίας (ΑΙΤ)	Διδάσκων Κέντρου Μεταλλυκειακής Εκπαίδευσης	Μικροεπεξεργαστές και Ενσωματωμένα Συστήματα	Εαρ. Εξάμηνο 2012
Επιστήμης Υπολογιστών, Πανεπιστήμιο Κρήτης	Επισκέπτης Λέκτορας (ΠΔ407)	ΗΥ225 Οργάνωση Υπολογιστών	Εαρ. Εξάμηνο 2010
Επιστήμης Υπολογιστών, Πανεπιστήμιο Κρήτης	Επισκέπτης Λέκτορας (ΠΔ407)	ΗΥ220 Εργαστήριο Ψηφιακών Κυκλωμάτων	Χειμ. Εξάμηνο 2009

4. Συνοπτική Παρουσίαση Δημοσιεύσεων

- Δημοσιεύσεις σε βιβλία
 - Hardware Accelerators in Data Centers, 2018 (editor)
 - Optical Interconnects in DC networks, 2015 (editor)
 - 6 Book Chapters
- Δημοσιεύσεις σε περιοδικά
 - 22 peer-reviewed Journals
- Δημοσιεύσεις σε συνέδρια
 - 68 peer-reviewed Conferences
- Πατέντες
 - 1 US/EU patent

- Ετερο-αναφορές
 - 2554 overall citations
 - H-index: 22
 - i10-index: 45
- Επίβλεψη διπλωματικών εργασιών:
 - 15 διπλωματικές

4. ΕΠΙΒΛΕΨΗ ΔΙΠΛΩΜΑΤΙΚΩΝ ΕΡΓΑΣΙΩΝ

- A high-performance FPGA architecture for Acceleration of SVM Machine Learning Training, Χαράλαμπος Καρδάρης, 2019
- Acceleration of Decision Tree Algorithms for Machine Learning, Asim Zoukarni, ΕΜΠ, Απριλιος 2020
- FPGA-Acceleration of Machine Learning Algorithms, a case study using Gaussian Naive Bayes, Γεωργιος Τζάνος, ΕΜΠ, 2019
- Accelerating Connected Components Graph Algorithms in Reconfigurable Logic, Αλεξανδρος Κουρής, ΕΜΠ 2019
- Accelerating PageRank graph algorithms in reconfigurable logic, Δημήτρης Τριανταφύλλου, ΕΜΠ 2018
- Acceleration of Image Recognition on Caffe framework using FPGAs, Δημήτρης Δανόπουλος, ΕΜΠ, 2018
- Hardware acceleration of recommendation engines based on collaborative filtering, Κωνσταντinos Κατσαντώνης, ΕΜΠ, 2017
- Performance evaluation of Spark on embedded systems, Γιαννης Σταμελος, ΕΜΠ, 2016
- Hardware acceleration of Logistic Regression Machine learning application, Ηλιας Κορομυλας, ΕΜΠ, 2016
- Optical power monitoring system for cognitive reconfigurable optical networks, George Routis, AIT-MSITT, 2012
- Smartphone-based embedded system automation using FPGAs, Spilios Georgakopoulos, AIT-MSITT, 2012
- XML processing in hardware for Reconfigurable Optical Networks, Nikolaos Gavalas, AIT-MSITT, 2011
- Architectures and Scheduling Mechanisms for Optical Interconnects, Pylarinos Miroslav, AIT-MSITT, 2011
- Network Traffic Measurement using the NetFPGA Platform, Vasilis Koutsoubos, Πανεπιστήμιο

Κρήτης, 2010

- Design of a cookie-based WebSwitch on the NetFPGA Platform, Salvator Galea, Πανεπιστήμιο Κρήτης, 2010

5. ΑΚΑΔΗΜΑΪΚΕΣ-ΔΙΟΙΚΗΤΙΚΕΣ ΔΡΑΣΤΗΡΙΟΤΗΤΕΣ

- Τεχνικός υπεύθυνος και συντονιστής έργου του ευρωπαϊκού ερευνητικού προγράμματος H2020 ICT4 Low power and customized computing: VINEYARD – Versatile Integrated Heterogenous Accelerator-based Data Centers, (technical project coordinator), Φεβρουάριος 2016 έως Ιανουάριος 2018, Προϋπολογισμός έργου 6.2 εκ. ευρώ.

<http://www.vineyard-h2020.eu/>

- Επιστημονικός υπεύθυνος και προσέλκυση χρηματοδότησης (χορηγία) από την εταιρία Xilinx (USA) \$100,000, Δεκέμβριος 2018
- Επιστημονικός υπεύθυνος και προσέλκυση χρηματοδότησης, 119,500 ευρώ. 1η ΠΡΟΚΗΡΥΞΗ ΕΡΕΥΝΗΤΙΚΩΝ ΕΡΓΩΝ ΕΛΙΔΕΚ ΓΙΑ ΤΗΝ ΕΝΙΣΧΥΣΗ ΜΕΤΑΔΙΔΑΚΤΟΡΩΝ ΕΡΕΥΝΗΤΩΝ/ΤΡΙΩΝ, 2018, Hardware Acceleration of **Machine Learning** Applications in the Cloud, 2019 - 2021

<https://cloudaccel.weebly.com/>

- Συγγραφή και προσέλκυση ευρωπαϊκών προγραμμάτων (H2020 και FP7)
 - MORPHEMIC EU Project: Modelling and Orchestrating heterogeneous Resources and Polymorphic applications for Holistic Execution and adaptation of Models In the Cloud, 5.000.000 Ευρω, Προϋπολογισμός φορέα: 250.000 ευρώ
 - VINEYARD, Versatile Integrated Heterogenous Accelerator-based Data Centers, Συνολικός προϋπολογισμός 6.000.000 Ευρω, Προϋπολογισμός φορέα: 600.000 ευρώ
 - ASTRON, Adaptive Software-defined Terabit Transceivers for flexible Optical networks, Συνολικός προϋπολογισμός 3.000.000 Ευρώ, Προϋπολογισμός φορέα: 350.000 ευρώ
 - COCONUT, Cost-effective Coherent Ultra-dense WDM-PON for lamda-to-the-user access, Συνολικός προϋπολογισμός 3.000.000 Ευρώ, Προϋπολογισμός φορέα: 350.000 ευρώ
- Ερευνητής στο ευρωπαϊκό έργο AEGLE, Pioneering Healthcare Future, (January 2016)
- Ερευνητής στο ευρωπαϊκό έργο ASTRON, Adaptive Software-defined Terabit Transceivers for flexible Optical networks, (2012 - 2015)
- Ερευνητής (WP leader) στο ευρωπαϊκό έργο COCONUT, Cost-effective Coherent Ultra-dense WDM-PON for lamda-to-the-user access (2012 - 2015)
- Ερευνητής (WP leader) στο ευρωπαϊκό έργο FP7 NAVOLCHI, Nano Scale Disruptive Silicon-Plasmonic Platform for Chip-to-Chip Interconnection (2011 – 2014)
- Ερευνητής (WP leader) στο ευρωπαϊκό έργο FP7 CHRON, Cognitive Heterogeneous Reconfigurable Optical Network (2010 – 2013)

- Ερευνητής στο ευρωπαϊκό έργο FP7 ACCORDANCE, A Converged Copper-Optical-Radio OFDMA-based access Network with high Capacity and Flexibility (2010 – 2013)
- Ερευνητής στο ευρωπαϊκό έργο SARC (Scalable computer ARChitecture), 2009 -2010
- Ανάπτυξη μαθημάτων και οργάνωση εργαστηρίου Μικροεπεξεργαστών και ενσωματωμένων συστημάτων με πλατφόρμες FPGA and Arduino, AIT, 2012
- Ανάπτυξη μαθημάτων και οργάνωση εργαστηρίου Οργάνωσης Υπολογιστών βασισμένα σε FPGA, Πανεπιστήμιο Κρήτης, Τμήμα Επιστήμης Υπολογιστών, 2010
- Ανάπτυξη μαθημάτων και οργάνωση εργαστηρίου Ψηφιακής Σχεδίασης βασισμένα σε FPGA, Πανεπιστήμιο Κρήτης, Τμήμα Επιστήμης Υπολογιστών, 2009
- Μέλος της επιτροπής (program committee) των συνεδρίων:
 - IEEE FPL 2021, 2022
 - IEEE SAMOS 2021, 2022
 - IEEE FPL 2020
 - IEEE SAMOS 2020
 - IEEE SAMOS 2019
 - IEEE SAMOS 2015
 - IEEE Reconfig 2013
 - IEEE SAMOS 2015
 - IEEE SAMOS 2017
 - IEEE ISVLSI 2017
 - ARC 2018 (Embedded Reconfigurable Computing in the Industrial Real-Time Domain – Systems, Methods and Applications)

IV. ΕΠΑΓΓΕΛΜΑΤΙΚΗ ΔΡΑΣΤΗΡΙΟΤΗΤΑ

ΔΙΑΡΚΕΙΑ	ΙΔΡΥΜΑ	ΘΕΣΗ	ΠΕΡΙΓΡΑΦΗ
1/2019 – 6/2023 (54 μήνες)	InAccel	Διευθυντής Έρευνας	Διευθυντής έρευνας και ανάπτυξης σε τεχνολογίες επιταχυντών υλικού (FPGA) για υπολογιστικά συστήματα νέφους υψηλών αποδόσεων
2/2008 – 1/2009	Σώμα Έρευνας –	Αναλυτής –	Διαχειριστής Δικτύων στο

(12 μήνες)	Πληροφορικής (ΕΠ) Ελληνικός Στρατός	Προγραμματιστής Η/Υ	Κέντρο Υποστήριξης Πληροφορικής Στρατού (ΚΕΠΥΕΣ)
9/2006 – 12/2006 (internship)	Xilinx, Inc., San Jose, CA	Μηχανικός Η/Υ	Μηχανικός σχεδίασης αρχιτεκτονικής ψηφιακών συστημάτων (FPGAs) και αρχιτεκτονικής για reconfigurable mobile devices
12/2003 – 12/2004 (13 μήνες)	Theon Sensors S.A, Αθήνα	Μηχανικός Η/Υ	Μηχανικός σχεδίασης αρχιτεκτονικής ψηφιακών συστημάτων (ASIC) για MEMS sensors
11/2002– 11/2003 (13 μήνες)	Ellemedia Technologies, Αθήνα	Μηχανικός Η/Υ	Μηχανικός σχεδίασης ψηφιακών συστημάτων (FPGAs) και αρχιτεκτονικής για residential gateways
6/2000-8/2000 (Πρακτική άσκηση)	Intracom S.A., Αθήνα	Μηχανικός Η/Υ	Μηχανικός σχεδίασης ψηφιακών συστημάτων (FPGAs) για τηλ/κα συστήματα

V. ΕΡΕΥΝΗΤΙΚΗ ΔΡΑΣΤΗΡΙΟΤΗΤΑ

Προπτυχιακή Έρευνα:

Design and implementation of the TCP/IP protocol in a semiconductor intellectual property core (IP core). This research was on the design of a novel architecture for the implementation of the TCP/IP core in silicon as an IP core. The main functions of the TCP/IP core have been implemented such as the FSM unit, the header and the payload checksums. Furthermore, all the other modules that are required in a TCP/IP stack have been developed such as the ARP, the ICMP and the UDP protocol. The TCP/IP core has been implemented as a soft-core in reconfigurable logic and has been evaluated in an FPGA board. The proposed scheme was one of the first IP cores that was supporting the TCP/IP core, that later was widely known and spread as TCP/IP-offload engines.

Μεταπτυχιακή Έρευνα:

M. Sc.: Design and implementation of the SCAN image-video encryption algorithm in a semiconductor intellectual property core. The SCAN encryption algorithm is a secret key block encryption algorithm, which divides the data into a series of blocks of equal length, and these blocks are sequentially processed using a key known to the sender and receiver exclusively. This research was on the efficient and novel implementation in hardware of the SCAN algorithm that provide high throughput and low latency. The high-performance implementation of the SCAN algorithm was able to support not only images but also real-time

video encryption. The main novelty of the design was an efficient hardware scheme that was used to implement the recursive functions of the algorithms without the need of a stack/heap memory unit.

Ph.D.: During the Ph.D. the research was mainly focused on the investigation on how to efficiently exploit reconfigurable hardware to design flexible, high performance, and power efficient network devices capable to adapt to varying processing requirements of network applications and traffic. The proposed reconfigurable network processing platform targets mainly access, edge, and enterprise devices. These devices have to sustain less bandwidth compared to those utilized in core networks. However the processing requirements on a per packet basis are much higher in these devices (e.g., payload processing). Furthermore, devices in these networks have to be flexible in order to support emerging network applications. A promising technology for the implementation of these devices is the Field-Programmable Gate Arrays (FPGAs). FPGAs are typical devices that combine flexibility (through the reconfiguration) and performance (through the inherent hardware nature that can exploit parallelism), therefore they can efficiently address the requirements of the edge and access network devices.

A reconfigurable network processing platform was developed that included reconfigurable hardware accelerators, a reconfigurable queue scheduler, and a configurable transactional memory controller. Furthermore, the performance and the constraints of the platform are formulated as an integer optimization problem and an integrated design flow is presented for the platform. Both static and dynamic reconfiguration are explored in this dissertation. Static reconfiguration is utilized to address the different processing requirements of network applications, while dynamic reconfiguration is utilized to adapt to network traffic fluctuations.

Two representative devices were implemented and evaluated in the proposed platform; a multi-service edge router and a content-based (web) switch. In the former device, dynamic reconfiguration is utilized to deal with network traffic fluctuations. The device monitors the traffic and adapts to the network traffic fluctuations taking into account the reconfiguration overhead. In the latter device, a reconfigurable architecture for a content-based switch is utilized and compared to a mainstream network processor in terms of performance and power. The device accommodates several co-processors that can be interchanged to perform specific type of switching (e.g., URL-based or cookie-based switching). Moreover, the exploitation of reconfigurable logic is investigated for queue scheduling in network devices.

Also a reconfigurable queue scheduler is presented that adapts to the network traffic requirements (number of active queues) and can be used both in edge routers and web switches. Finally, configurable transactional memories are proposed which can be used to efficiently deploy multi-processing platforms for network processing applications. The proposed configurable transactional memory controller can be configured based on the application and device features (e.g., number of processors), can offer an easier programming framework for multi-processor reconfigurable platforms, and provides increased performance compared to traditional locking schemes. The results of the research presented in this dissertation show that the FPGAs can be an efficient alternative to network processors and can be used not only for lower network layers, but also as a complete platform for emerging network processing applications.

Μεταδιδακτορική Έρευνα:

Επιστημονικός υπεύθυνος και προσέλκυση χρηματοδότησης, 119,500 ευρώ. 1η ΠΡΟΚΗΡΥΞΗ ΕΡΕΥΝΗΤΙΚΩΝ

ΕΛΙΔΕΚ – 2019- 2021

Επιτάχυνση Μηχανικής Μάθησης σε Τεχνολογίες Νέφους με Επιταχυντές Ψηφιακών Κυκλωμάτων CloudAccel

Η δημιουργία νέων δικτυακών εφαρμογών και υπηρεσιών όπως η τεχνολογία νέφους (cloud computing), η μηχανική μάθηση (machine learning), τα νευρωνικά δίκτυα (neural networks) και η ανάλυση μεγάλου όγκου δεδομένων (big data analytics) έχει δημιουργήσει την ανάγκη για πιο ισχυρά κέντρα δεδομένων (data centers). Τα κέντρα αυτά δεδομένων αποτελούνται από μεγάλες συστοιχίες διακομιστών (server clusters) που καλούνται συνεχώς να επεξεργάζονται μεγάλου όγκου δεδομένα και μεγάλης πολυπλοκότητας εφαρμογές χωρίς να αυξήσουν σημαντικά στην κατανάλωση ενέργειας.

Για αυτόν το λόγο είναι σημαντικό να σχεδιαστούν νέα συστήματα για τα κέντρα δεδομένων τα οποία να παρέχουν υψηλές αποδόσεις με χαμηλή κατανάλωση ενέργειας. Σήμερα οι περισσότεροι διακομιστές (servers) βασίζονται σε επεξεργαστές γενικής χρήσης (πχ. GPUs) που καταναλώνουν αυξημένη ενέργεια. Πρόσφατα, πολλές εταιρίες που διαχειρίζονται κέντρα δεδομένων προσπαθούν να ενσωματώσουν στους διακομιστές (servers) επιταχυντές υλικού (ειδικά ηλεκτρονικά ψηφιακά κυκλώματα (hardware accelerators) που σκοπό θα έχουν να αυξήσουν την απόδοση και να μειώσουν την κατανάλωση ενέργειας των πιο κοινών διεργασιών των εφαρμογών στα κέντρα δεδομένων. Τα ψηφιακά κυκλώματα επιτάχυνσης μπορούν να υλοποιηθούν σε πλατφόρμες αναδιατάσσόμενης λογικής (reconfigurable platforms-FPGA). Το κύριο χαρακτηριστικό των προγραμματιζόμενων επιταχυντών υλικού είναι ότι μπορούν να προσαρμόζονται δυναμικά με βάση τις απαιτήσεις των εφαρμογών.

Στόχος της ερευνητικής πρότασης είναι η σχεδίαση και ανάπτυξη επιταχυντών υλικού για εφαρμογές μεγάλου όγκου δεδομένων (big data analytics), επεξεργασία γράφων (graph computations) και εφαρμογές μηχανικής μάθησης (machine learning). Η σχεδίαση και η ανάπτυξη αυτών των επιταχυντών με τυπικές γλώσσες περιγραφής υλικού (HDL) είναι χρονοβόρες και επιρρεπείς σε λάθη. Σκοπός αυτής της ερευνητικής πρότασης είναι να αναπτυχθεί η μεθοδολογία που θα επιτρέπει την ανάπτυξη επιταχυντών υλικού βασισμένα σε εργαλεία υψηλού επιπέδου σύνθεσης (high level synthesis tools) τα οποία θα είναι παραμετροποιήσιμα. Οι επιταχυντές υλικού θα μπορούν να τροποποιηθούν ώστε να καλύπτουν τις ανάγκες των εφαρμογών σε τεχνολογίες νέφους. Τα εργαλεία αυτά μπορούν να σχεδιάσουν ημι-αυτόματα επιταχυντές υλικού από γλώσσες προγραμματισμού (πχ. C ή C++) αλλά έχουν πολλούς περιορισμούς. Σκοπός της πρότασης αυτής είναι η σχεδίαση τεχνικών και εργαλείων που θα επιτρέπουν την ανάπτυξη παραμετροποιήσιμων επιταχυντών υλικού για εφαρμογές μεγάλου όγκου δεδομένων και μηχανικής μάθησης.

Αρχικά θα σχεδιαστεί μια μεθοδολογία που θα επιτρέπει την βελτιστοποίηση των εργαλείων σύνθεσης επιταχυντών υψηλού επιπέδου (high level synthesis tools) ειδικά για εφαρμογές ανάλυσης μεγάλου όγκου δεδομένων (big data analytics) και μηχανικής μάθησης (machine learnings) που είναι τα πιο απαιτητικά από άποψη επεξεργαστικής ισχύς. Το πρόγραμμα θα παίρνει σαν είσοδο τον αλγόριθμο σε μορφή γλώσσας προγραμματισμού (C or C++) που πρέπει να υλοποιήσει και θα το τροποποιεί κατάλληλα ώστε το εργαλείο

σύνθεσης υψηλού επιπέδου να μπορεί να το συνθέσει σε επιταχυντή υλικού.

Στην συνέχεια θα σχεδιαστούν οι επιταχυντές υλικού σε μορφή IP blocks με τέτοιο τρόπο ώστε να είναι παραμετρικοί και να μπορούν να προσαρμοστούν στις απαιτήσεις της εφαρμογής. Όλοι οι επιταχυντές υλικού που θα σχεδιαστούν θα είναι με τέτοιο τρόπο ώστε να επιτρέπουν την εύκολη ενσωμάτωση τους στα τυπικά προγράμματα που χρησιμοποιούν οι χρήστες στα κέντρα δεδομένων για τεχνολογίες νέφους (cloud computing). Με τον τρόπο αυτό θα είναι δυνατή η αξιοποίηση των επιταχυντών υλικού χωρίς να χρειαστούν μεγάλες αλλαγές στον αρχική εφαρμογή.

Συνολικά οι κύριοι στόχοι αυτού του έργου είναι:

- Η σχεδίαση και υλοποίηση ειδικών ψηφιακών κυκλωμάτων (hardware accelerators) για τις πιο διαδεδομένες διεργασίες των εφαρμογών στα κέντρα δεδομένων όπως εφαρμογές μηχανικής μάθησης, νευρωνικών δικτύων και ανάλυσης δεδομένων (machine learning, graph computations, etc.). Τα κυκλώματα αυτά θα μπορούν να αυξήσουν την απόδοση του συστήματος και να μειώσουν σημαντικά τον χρόνο εκτέλεσης των εφαρμογών.
- Τα κυκλώματα θα σχεδιαστούν με την μορφή IP blocks και θα μπορούν να τροποποιηθούν παραμετρικά ώστε να είναι εύκολη και γρήγορη η ανάπτυξη νέων επιταχυντών που ανταποκρίνονται στις απαιτήσεις των εφαρμογών (configurable hardware accelerators).
- Η εμπορική εκμετάλλευση των ψηφιακών κυκλωμάτων ως στοιχεία πνευματικής ιδιοκτησίας (IP cores) τα οποία μπορούν να τοποθετηθούν σε on-line καταστήματα όπως το Amazon AWS marketplace και IBM SupperVessel που πρόσφατα ξεκίνησαν να διαθέτουν ετερογενείς πλατφόρμες κέντρων δεδομένων με επιταχυντές υλικού βασισμένους σε κυκλώματα αναδιατασσόμενης λογικής (reconfigurable computing).

Η σχεδίαση και η υλοποίηση επιταχυντών υλικού συνήθως απαιτεί την περιγραφή σε αναλυτική γλώσσα περιγραφής υλικού (hardware description language) η οποία είναι χρονοβόρα και σύνθετη. Τελευταία έχουν διατεθεί στην αγορά εργαλεία που επιτρέπουν την δημιουργία επιταχυντών υλικού σε γλώσσες υψηλού επιπέδου. Συνήθως όμως τα αποτελέσματα δεν είναι πολύ αποδοτικά ενώ πολλές φορές χρειάζεται να σχεδιαστούν διαφορετικές υλοποιήσεις για να καλύπτουν ακόμα και την ίδια εφαρμογή η οποία μπορεί να έχει διαφορετικές απαιτήσεις. Τα βασικά στοιχεία καινοτομίας της πρότασης αυτής, είναι η ανάπτυξη από την ομάδα πλήθους επιταχυντών υλικού τα οποία έχουν αναπτυχθεί σε γλώσσα υψηλού επιπέδου. Οι επιταχυντές υλικού έχουν σχεδιαστεί με τέτοιο τρόπο ώστε να μπορούν να τροποποιηθούν (configurable) με βάση τις απαιτήσεις της εφαρμογής και των δεδομένων εισόδου (size of input data, dataset, type of algorithm, etc.). Με τον τρόπο αυτό γίνεται εύκολη η παραγωγή νέων επιταχυντών υλικού που καλύπτουν τις ανάγκες του χρήστη και μπορούν να ενσωματωθούν τεχνολογίες νέφους.

Research on architecture for heterogeneous data centers based on hardware accelerators (2016-σημερα) (H2020 VINEYARD Project: Versatile Integrated Heterogenous Accelerator-based Data Centers)

Η δημιουργία νέων δικτυακών εφαρμογών και υπηρεσιών όπως η τεχνολογία νέφους (cloud computing), και τα μεγάλα όγκου δεδομένα (big data) έχει δημιουργήσει την ανάγκη για πιο ισχυρά κέντρα δεδομένων (data centers). Τα κέντρα αυτά δεδομένων αποτελούνται από μεγάλες συστοιχίες διακομιστών (server clusters) βασισμένους σε επεξεργαστές γενικού σκοπού (processors). Καθώς τα κέντρα αυτά χρειάζεται να αυξάνονται για να ανταποκριθούν στις απαιτήσεις των εφαρμογών αυξάνεται και η κατανάλωση ενέργειας. Σύμφωνα με κάποιες μελέτες, το 2002 η παγκόσμια εκπομπή διοξειδίου του άνθρακα το κέντρων

δεδομένων λόγω της κατανάλωσης ενέργειας ήταν 76 εκ. τόνοι και υπολογίζεται ότι το 2020 θα αυξηθεί σε 259 εκ. τόνους. Για αυτόν το λόγο είναι σημαντικό να σχεδιαστούν νέα συστήματα για τα κέντρα δεδομένων τα οποία να παρέχουν υψηλές αποδόσεις με χαμηλή κατανάλωση ενέργειας.

Σήμερα οι περισσότεροι διακομιστές (servers) βασίζονται σε επεξεργαστές γενικής χρήσης που καταναλώνουν ιδιαίτερα αυξημένη ενέργεια. Στο έργο VINEYARD σχεδιάζεται μια πρωτότυπη πλατφόρμα για κέντρα δεδομένων τα οποία θα βασίζονται τόσο στους τυπικούς επεξεργαστές καθώς και σε προγραμματιζόμενους επιταχυντές υλικού (programmable hardware accelerators) που σκοπό θα έχουν να αυξήσουν την απόδοση και να μειώσουν την κατανάλωση των πιο κοινών εφαρμογών στα κέντρα δεδομένων. Η επιταχυντές υλικού, μπορούν να προγραμματιστούν ώστε να εκτελούν συγκεκριμένες διεργασίες και με τον τρόπο αυτό επιτυγχάνουν αυξημένη απόδοση και χαμηλότερη κατανάλωση ενέργειας. Η πλατφόρμα αυτή θα αποτελείται από μία συστοιχία από τυπικούς διακομιστές αλλά και διακομιστές με προγραμματιζόμενους επιταχυντές υλικού. Οι διακομιστές με τους προγραμματιζόμενους επιταχυντές υλικού θα προσαρμόζονται δυναμικά με βάση τις απαιτήσεις των εφαρμογών ώστε να καταναλώνουν το χαμηλότερο ποσό ενέργειας σε κάθε περίπτωση.

Παράλληλα, στο έργο αυτό θα αναπτυχθεί το απαραίτητο λογισμικό (software) που θα δίνει τη δυνατότητα στους χρήστες του υπολογιστικού νέφους των κέντρων δεδομένων να αξιοποιούν τους επιταχυντές υλικού με εύκολο και αποδοτικό τρόπο αυτόματα ανάλογα με τις απαιτήσεις της εφαρμογής.

Συνοπτικά οι κύριοι στόχοι αυτού του έργου είναι:

- Η σχεδίαση και υλοποίηση νέων ενεργειακά αποδοτικών διακομιστών βασισμένων σε προγραμματιζόμενους επιταχυντές υλικού που μπορούν να προσφέρουν υψηλή απόδοση και χαμηλή κατανάλωση ενέργειας.
- Η σχεδίαση και υλοποίηση του απαραίτητου λογισμικού για την απρόσκοπτη και εύκολη αξιοποίηση των επιταχυντών.
- Η υλοποίηση μιας βιβλιοθήκης που θα περιέχει διάφορους επιταχυντές υλικού σε μορφή IP cores για εφαρμογές υπολογιστικού νέφους.
- Η μελέτη και μέτρηση της απόδοσης του ολοκληρωμένου συστήματος σε 3 πιλοτικές εφαρμογές:
- Μοντελοποίηση εγκεφάλου (brain modelling)
- Χρηματο-οικονομικές εφαρμογές
- Ανάλυση δεδομένων μεγάλου όγκου πληροφορίας (big data analytics)

Για παράδειγμα το έργο αυτό θα δώσει τη δυνατότητα στο Χρηματιστήριο Αθηνών που συμμετέχει στο έργο να αυξήσει σημαντικά την απόδοση και ταυτόχρονα να μειώσει την κατανάλωση ενέργειας των συστημάτων που χρησιμοποιούνται για την εκτέλεση των χρηματοοικονομικών εφαρμογών όπως οι εφαρμογές για τις αγορές αξιών και παραγώγων, την εκκαθάριση και το διακανονισμό των συναλλαγών και τις εφαρμογές επίβλεψης των συναλλαγών.

Το ερευνητικό έργο VINEYARD, διάρκειας 3 ετών, συντονίζεται (project and technical coordinator) από το Εργαστήριο Μικροεπεξεργαστών και Ψηφιακών Συστημάτων της σχολής Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών, Ε.Μ.Π. και του Ερευνητικού Πανεπιστημιακού Ινστιτούτου Συστημάτων Επικοινωνίας και Υπολογιστών (ΕΠΙΣΕΥ).

Τεχνικός Υπεύθυνος ολόκληρου του έργου είναι ο Χριστόφορος Κάχρης, οποίος ήταν και ο κύριος συγγραφέας της πρότασης που υποβλήθηκε στο Horizon H2020.

Research on processor architectures and accelerators for low-power data center server processor.

Η δημιουργία νέων δικτυακών εφαρμογών και υπηρεσιών όπως η τεχνολογία νέφους (cloud computing), εφαρμογές με μεγάλο όγκο δεδομένων (big data), τα κοινωνικά δίκτυα (social networks) και η ανταλλαγή αρχείων μέσω torrents (peer-to-peer file sharing) έχει δημιουργήσει την ανάγκη για πιο ισχυρά κέντρα δεδομένων (data centers). Τα κέντρα αυτά δεδομένων αποτελούνται από μεγάλες συστοιχίες διακομιστών (server clusters) τα οποία είναι διασυνδεδεμένα μέσω δικτύων μεγάλης απόδοσης (high performance networks). Καθώς τα κέντρα αυτά χρειάζεται να αυξάνονται για να ανταποκριθούν στις απαιτήσεις των εφαρμογών αυξάνεται και η κατανάλωση ενέργειας. Σύμφωνα με κάποιες μελέτες, το 2002 η παγκόσμια εκπομπή διοξειδίου του άνθρακα το κέντρων δεδομένων λόγω της κατανάλωσης ενέργειας ήταν 76 εκ. τόνοι και υπολογίζεται ότι το 2020 θα αυξηθεί σε 259 εκ. τόνους. Για αυτόν το λόγο είναι σημαντικό να σχεδιαστούν νέα συστήματα για τα κέντρα δεδομένων τα οποία να παρέχουν υψηλές αποδόσεις με χαμηλή κατανάλωση ενέργειας.

Σήμερα οι περισσότεροι διακομιστές (servers) βασίζονται σε επεξεργαστές γενικής χρήσης (Intel or AMD processors) που καταναλώνουν αυξημένη ενέργεια. Μέχρι πριν από μερικά χρόνια, η αύξηση της απόδοσης των επεξεργαστών επιτυγχάνονταν με την αύξηση της συχνότητας ρολογιού στους επεξεργαστές. Η αύξηση της συχνότητας ήταν δυνατή καθώς πετυχαίναμε την υλοποίηση όλο και μικρότερων τρανζίστορ (Moore's law). Γύρω στο 2005-2006 όμως, παρόλο που συνεχίζαμε να σχεδιάζουμε μικρότερα τρανζίστορ, δεν ήταν δυνατή η αύξηση της συχνότητας ρολογιού στους επεξεργαστές λόγω της αυξημένης θερμότητας. Καθώς η κατανάλωση ενέργειας εξαρτάται άμεσα από την συχνότητα ρολογιού, η περαιτέρω αύξηση της συχνότητας θα συνεπαγόταν την υπερβολική αύξηση της θερμότητας στους επεξεργαστές. Η λύση που υιοθετήθηκε τότε, ήταν η αύξηση του αριθμού των επεξεργαστών μέσα στο ίδιο chip αξιοποιώντας τις μικρότερες διαστάσεις των τρανζίστορ. Δυστυχώς όμως, τα τελευταία χρόνια παρατηρείται ότι δεν μπορούμε να συνεχίσουμε να αυξάνουμε τον αριθμό των επεξεργαστών μέσα στο ίδιο chip. Μεγαλύτερος αριθμός επεξεργαστών συνεπάγεται συχνότερη επικοινωνία μεταξύ των επεξεργαστών και αυξημένη κατανάλωση ενέργειας. Η λύση που προτείνεται για τα μελλοντικούς διακομιστές είναι η χρήση ειδικών κυκλωμάτων (επιταχυντών υλικού- hardware accelerators) οι οποίοι είναι σχεδιασμένοι εξ'αρχής να εκτελούν συγκεκριμένες λειτουργίες. Η λύση αυτή που έχει χρησιμοποιηθεί ευρέως στα ενσωματωμένα συστήματα (π.χ. smartphones, tablets) έχει οδηγήσει στη σημαντική μείωση της κατανάλωσης ενέργειας. Συγκεκριμένα, η λύση που προτείνεται είναι η δημιουργία συστημάτων στο ίδιο chip (SoC) που να περιέχει και τους επεξεργαστές αλλά και τους επιταχυντές υλικού στο ίδιο chip.

Στο έργο αυτό μελετήθηκε και θα σχεδιάστηκε μία οικογένεια από επιταχυντές υλικού που στοχεύουν σε πολυπύρηνους επεξεργαστές ολοκληρωμένων κυκλωμάτων (MPSoC) ειδικά για κέντρα δεδομένων. Η πλατφόρμα που αναπτύχθηκε και σχεδιάστηκε συμπεριλαμβάνει τόσο τους επεξεργαστές καθώς και ειδικά ηλεκτρονικά ψηφιακά κυκλώματα (hardware accelerators) που σκοπό είχα να αυξήσουν την απόδοση και να μειώσουν την κατανάλωση των πιο κοινών διεργασιών των εφαρμογών στα κέντρα δεδομένων.

Η πλατφόρμα αυτή αποτελείται από μία συστοιχία από επεξεργαστές καθώς και τα ψηφιακά κυκλώματα επιτάχυνσης και μπορούν να υλοποιηθούν σε πλατφόρμες αναδιατασσόμενης λογικής (reconfigurable platforms-FPGA). Επίσης τα ηλεκτρονικά κυκλώματα μπορούν να ενσωματωθούν σε ολοκληρωμένα κυκλώματα ειδικά σχεδιασμένα για κέντρα δεδομένων (ASIC's IP cores). Το κύριο χαρακτηριστικό αυτής της πλατφόρμας είναι ότι θα μπορεί να προσαρμόζεται δυναμικά με βάση τις απαιτήσεις των εφαρμογών ώστε

να καταναλώνει το χαμηλότερο ποσό ενέργειας σε κάθε περίπτωση.

Σε αυτό το πρόγραμμα εστιάσαμε στην δημιουργία ειδικών ηλεκτρονικών κυκλωμάτων επιταχυντών υλικού (hardware accelerators) ειδικά για την πλατφόρμα MapReduce, που είναι από τις πιο διαδεδομένες προγραμματιστικές πλατφόρμες για κέντρα δεδομένων. Στο πρόγραμμα αυτό, αναπτύξαμε 2 ειδών επιταχυντές υλικού:

- **Επιταχυντές γενικού σκοπού:** Σε αυτή την περίπτωση σχεδιάσαμε και αναπτύξαμε επιταχυντές υλικού για τις πιο κοινές λειτουργίες στην πλατφόρμα MapReduce. Συγκεκριμένα σχεδιάσαμε επιταχυντές υλικού για την λειτουργία Reduce που είναι κοινή στις περισσότερες εφαρμογές (Εικόνα 1). Ο επιταχυντής αυτός μπορεί να τοποθετηθεί δίπλα στους επεξεργαστές με σκοπό να αυξήσει την απόδοσή τους και να μειώσει την κατανάλωση ενέργειάς τους. Ο επιταχυντής αυτός μπορεί να μειώσει έως και 1.8x την συνολική κατανάλωσης ενέργειας.
- **Επιταχυντές ειδικού σκοπού:** Στην δεύτερη περίπτωση σχεδιάσαμε και αναπτύξαμε επιταχυντές υλικού ειδικού σκοπού οι οποίοι χρησιμοποιούνται για την εκτέλεση συγκεκριμένων λειτουργιών και είναι σχεδιασμένοι για συγκεκριμένες εφαρμογές. Σε αυτή την περίπτωση μπορούμε να πετύχουμε ακόμα μεγαλύτερη επιτάχυνση της εφαρμογής καθώς και πολύ μικρότερη κατανάλωση ενέργειας. Συγκεκριμένα, με την χρήση αυτών των επιταχυντών μπορούμε να πετύχουμε έως και 10x μείωση στη κατανάλωση ενέργειας. Το μειονέκτημα σε αυτή την περίπτωση είναι ότι σε περίπτωση αλλαγών στην εφαρμογή χρειάζεται και η τροποποίηση των επιταχυντών. Για αυτό το λόγο, οι επιταχυντές αυτοί δεν μπορούν να ενσωματωθούν μέσα σε chip αλλά μπορούν να υλοποιηθούν σε αναδιατασόμενη λογική.

Τα αποτελέσματα αυτού του προγράμματος παρουσιάστηκαν σε διάφορα συνέδρια και επιστημονικά περιοδικά. Συγκεκριμένα τα αποτελέσματα παρουσιάστηκαν σε 8 διεθνή συνέδρια, 1 διεθνή έκθεση (summit), 4 περιοδικά (π.χ., 2 επιστημονικά, 1 invited και ένα εταιρικό περιοδικό- Xilinx journal), διοργανώθηκε μία ημερίδα με σκοπό την έρευνα για διακομιστές κέντρων δεδομένων, και δόθηκε μία διάλεξη.

Ο Χριστόφορος Κάχρης ήταν ο κύριος ερευνητής του έργου.

Research on software-defined optical transceivers:

Στα πλαίσια αυτού του ερευνητικού έργου, ο Χριστόφορος Κάχρης σχεδίασε και υλοποίησε την αρχιτεκτονική για ένα ολοκληρωμένο κύκλωμα για οπτικού δέκτες και πομπούς (optical transceivers) το οποίο μπορεί να προσαρμόζεται στις απαιτήσεις του δικτύου. Συγκεκριμένα σχεδίασε ένα κύκλωμα με γλώσσα περιγραφής υλικού (Hardware description language) για την αυτόματη διόρθωση σφαλμάτων (Forward Error Correction codes) το οποίο μπορεί να προσαρμόζεται στις απαιτήσεις του δικτύου.

Research on optical network architectures for data centers:

Ο Χριστόφορος Κάχρης εργάστηκε ερευνητικά και με τα σύγχρονα οπτικά δίκτυα για κέντρα δεδομένων. Συγκεκριμένα στα πλαίσια της έρευνας μελετήθηκαν και κατηγοριοποιήθηκαν συστηματικά όλες οι πρόσφατες αρχιτεκτονικές για τα δίκτυα οπτικής διασύνδεσης των επεξεργαστών που χρησιμοποιούνται σε μεγάλα κέντρα δεδομένων. Ακόμα συγκρίθηκαν συστηματικά όλες οι αρχιτεκτονικές ως προς την απόδοση,

την ταχύτητα, την καθυστέρηση και την επεκτασιμότητα. Επίσης προτάθηκε με καινοτόμος μέθοδος για οπτικά δίκτυα σε κέντρα δεδομένων που βασίζονται σε τεχνικές MIMO (multiple input, multiple output). Η μέθοδος αυτή επιτρέπει την επικοινωνία μεταξύ των υπολογιστών με πολύ χαμηλή καθυστέρηση καθώς και με μεγάλο ρυθμό μεταγωγής δεδομένων (bandwidth). Η μέθοδος αυτή, επιτυγχάνει επίσης την πολύ χαμηλή κατανάλωση ενέργειας αφού εξαλείφει την ύπαρξη ενεργοβόρων μεταγωγών δεδομένων βασισμένο σε ηλεκτρονικά ολοκληρωμένα κυκλώματα.

Research on cognitive reconfigurable optical networks:

Στα πλαίσια του project CHRON, ο Χριστόφορος Κάχρης σχεδίασε το σύστημα για την επικοινωνία των οπτικών ετερογενών δικτύων μέσω ενός ηλεκτρομηχανικού-οπτικού συστήματος (Optical- MEMSs) το οποίο ελεγχόταν από μια πλατφόρμα αναδιατασσόμενης λογικής (FPGA-based reconfigurable logic).

Συμμετοχή σε Χρηματοδοτούμενα Προγράμματα:

EU Horizon2020 ICT: VINEYARD (Versatile Integrated Accelerator-based Heterogeneous Data Centres), Technical Project coordinator, Senior Research Associate

VINEYARD aims to develop an energy-efficient integrated platform for data centres that will consist of (1) energy-efficient servers based on customized hardware accelerators (novel programmable dataflow engines and FPGA-based servers) and a (2) programming framework that will allow users seamlessly to utilize hardware accelerators in heterogeneous computing systems by using traditional data centre and multi-core programming frameworks (e.g. MapReduce, Storm, Spark, etc.).

The VINEYARD project will develop novel servers based on programmable dataflow accelerators that can be customized based on the data-centre's application requirements. These programmable dataflow accelerators will be used not only to increase the performance of servers but also to reduce the energy consumption in data centres. Furthermore, VINEYARD will develop a programming framework that will hide the complexity of programming heterogeneous systems while at the same time providing the optimized performance of customized and heterogeneous architectures.

Budget: 6.3 million euros

ICCS budget: 600K euros

National Grant from «Supporting Postdoctoral Researchers» of the Operational Program "ELIDEK" (Action's Beneficiary: General Secretariat for Research and Technology), 119.500 Euro

(CloudAccel: Hardware Acceleration of Machine Learning Applications in the Cloud),

Post-doctoral researcher Principal Investigator:

National Grant from «Supporting Postdoctoral Researchers» of the Operational Program "Education and Lifelong Learning" (Action's Beneficiary: General Secretariat for Research and Technology), 130.000Euro

Ενεργειακά-αποδοτικά Πολυπύρηννα Συστήματα Ολοκληρωμένων Κυκλωμάτων για Κέντρα Δεδομένων

(Energy-efficient MPSoCs for Datacenters),

Post-doctoral researcher: Design and Implementation of novel architectures and hardware accelerators for low-power server processors.

EU FP7 STREP ICT: ASTRON (Adaptive Software Defined Terabit Transceiver for Flexible Optical Networks, 2012-2015), Post-doc Researcher,

WP Leader: Design and implementation of novel hardware-based QC-LDPC FEC codes for software-defined optical transceivers targeting flexible optical networks.

EU FP7 STREP ICT: CHRON (Cognitive Heterogeneous Reconfigurable Optical Network), 2010-2013, Post-doc Researcher,

WP leader: Design and implementation of a novel optical testbed based on high performance FPGA-based traffic generators and low-cost FPGAs for the control of the optical MEMS switches. Also design and implementation of novel optical networks targeting high performance data center networks

EU FP7 STREP ICT: COCONUT (Cost-effective Coherent Ultra-dense WDM-PON for lambda-to-the-user access), 2012-2015, Post-doc Researcher,

WP leader: Design and implementation of a novel architecture for fast implementation of FFT codes for optical transceivers.

EU FP7 IP ICT: SARC (Scalable Multi-core Architectures), Post-doc Researcher

Design and implementation of NP-SARC: Scalable Network Processing architecture in the SARC Multi-core FPGA platform

EU FP7 NoE ICT: HiPEAC (Network of Excellence on High Performance Embedded Systems and Compilers), Post-doc Researcher, Task leader

Research and Coordination of the Interconnection cluster in the HiPEAC European NoE project

Διπλώματα Ευρεσιτεχνίας

Configurable Transactional Memory for Synchronizing Transactions,

C. Kulkarni, C. Kachris, USA Patent number 2009/0276599, Pub. Date Nov. 5, 2009

VI. ΣΥΜΜΕΤΟΧΗ ΣΕ ΕΠΑΓΓΕΛΜΑΤΙΚΟΥΣ ΚΑΙ ΑΛΛΟΥΣ ΣΥΛΛΟΓΟΥΣ

- IEEE
- ACM
- High Performance Embedded Computing and Compilers (HiPEAC) NoE
- Τεχνικό Επιμελητήριο Ελλάδας

VII. ΑΛΛΕΣ ΔΡΑΣΤΗΡΙΟΤΗΤΕΣ

Σεμινάρια – Ομιλίες

- **Optical Interconnects in Future Data Centers**
International workshop on “Optical Communication Systems and Networks: From Data Centers to

Broadband Access to Core Transport Networks”
Athens, May, 2014

- **Programmable Network Processing Platforms, Programmable Platforms for Programmable Networks**
Invited tutorial on “Programmable Telecommunication Devices”,
Fostering innovation based research for e-Montenegro,
Podgorica, Montenegro, October 2013
- **Optical interconnection networks for data centers,**
Invited talk, 17th International Conference on Optical Network Design and Modeling (ONDM’13),
Brest, France, April 2013
- **Reducing carbon footprint in Telecom Networks and Data Centers,**
Invited talk, Sustainability Forum, October 2012, Athens, Greece
- **Optical Interconnects in Data Centers,**
Invited talk, HiPEAC Computing system week, October 2012, Ghent, Belgium
- **The Rise of Optical Interconnects in Data Center Networks,**
Invited tutorial, ICTON July 2012, Coventry, U.K.

Κριτής Περιοδικών, Συνεδρίων

Συνέδρια:

FPL 2005, ASAP 2005, CASES 2005, ISVLSI 2005, International Conference on Embedded Computer Systems: Architectures Modeling and Simulation (SAMOS) 2005-2010, HiPEAC 2005, FPL 2006, ARC 2006, ISCA 2006, Reconfigurable Architectures Workshop (RAW) 2006, System-on-a-Chip Symposium (SoCS) 2006, ASAP 2006, Design Automation and Test in Europe (DATE) 2006, SAMOS 2006, Comp.Frontiers 2006, FPL 2007, ICPP 2007, ISVLSI 2007, ICPP 2010, ISVLSI 2012, FPL 2010, OFC 2011, OFC 2012, ECOC 2012, SAMOS 2018, SAMOS 2019, FPL 2019, SAMOS 2020, FPL 2020, SAMOS 2021, FPL 2021

Περιοδικά:

- IEEE MICRO,
- IEEE Transactions on Computers,
- Journal of VLSI,
- ACM Transactions on Embedded Computing Systems
- Journal of Systems Architecture (JSA),
- Journal of Systems and Software (JSS),
- Journal of Optical Communications and Networks (JOCN),
- Journal of Selected Topics in Quantum Electronics (JSTQE),
- Journal of Lightwave Technology (JLT),
- IET Computers & Digital Techniques,
- Journal of circuits, Systems and Computers

- Journal of Selected Topics in Quantum Electronics
- IEEE Communication Letters
- Journal of Circuits, Systems, and Computers
- Computer Communications
- IEEE Networks
- Transactions on Communications
- Computer Communications
- IEEE Transactions on Industrial Informatics.
- Journal of Cloud Computing
- Journal of Lightwave Technology
- Journal of Optical Communications and Networking

Κρίσεις βιβλίων

Συμμετοχή σε Επιτροπές

Συμμετοχή στο Program Committee: International Conference on Reconfigurable Computing and FPGAs, 2013

Συμμετοχή στο Program Committee: International Conference on Systems, Architectures, Modeling and Simulation (SAMOS'16)

ΙΧ. ΔΗΜΟΣΙΕΥΣΕΙΣ

A. ΔΙΑΤΡΙΒΕΣ

A.1 ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ.

Reconfigurable Network Processing Platforms
Αναδιατασσόμενες Πλατφόρμες Επεξεργαστών Δικτύων,
Delft University of Technology, Ολλανδία
Department of Electrical and Computer Science, 2007

A.2 ΜΕΤΑΠΤΥΧΙΑΚΗ ΔΙΑΤΡΙΒΗ (Master)

Design and Implementation of the SCAN Image-Video Encryption Algorithm in Reconfigurable Logic (FPGAs)
Σχεδιασμός και Υλοποίηση του Αλγορίθμου Κρυπτογράφησης Εικόνας και Βίντεο SCAN σε αναδιατασσόμενη λογική
Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Ηλεκτρονικών Υπολογιστών
Πολυτεχνείο Κρήτης, 2003

A.3 ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Design and Implementation of a TCP/IP core in Reconfigurable Logic
Σχεδιασμός και Υλοποίηση του TCP/IP πρωτοκόλλου σε αναδιατασσόμενη λογική
Τμήμα Ηλεκτρονικών Μηχανικών και Μηχανικών Ηλεκτρονικών Υπολογιστών
Πολυτεχνείο Κρήτης, 2001

B. ΣΥΓΓΡΑΜΜΑΤΑ, ΒΙΒΛΙΑ

- B.1* **Editors: C. Kachris, K. Bergman, I. Tomkos**, Optical Interconnects for Future Data Center Networks, Springer Science Publications, Springer, ISBN 978-1-4614-4629-3, 2012
- B.2* **Editors: C. Kachris, B. Falsafi, D. Soudris**, Hardware Accelerators in Data Centers, Springer Science Publications, Springer, ISBN 978-3-319-92791-6, 2018

Γ. ΚΕΦΑΛΑΙΑ ΣΕ ΒΙΒΛΙΑ

- Γ.1* D. Danopoulos, C. Kachris, D. Soudris, **A quantitative comparison for Image Recognition on accelerated Heterogeneous Cloud Infrastructure**, Heterogeneous Computing Architectures, Challenges and Visions, Taylor and Francis Publications, 2019
- Γ.2* C. Kachris, E. Koromilas, I. Stamelos, G. Zervakis, S. Xydis, D. Soudris, **Energy-Efficient Acceleration of Spark Machine Learning Applications on FPGAs**, Hardware Accelerators in Data Centers, 87-107, 2019
- Γ.3* D. Danopoulos, C. Kachris, D. Soudris, **A quantitative comparison for Image Recognition on accelerated Heterogeneous Cloud Infrastructure**, Book: Heterogeneous Computing Architectures: Challenges and Vision, 2019
- Γ.4* C. Kachris, I. Tomkos, **Energy-efficient Optical Interconnects in Cloud Computing Infrastructures**,

Communication Infrastructures for Cloud Computing: Design and Applications, September 2013, ISI Global, ISBN: 1466645229

- Γ.5 **P. N. Ji, D. Qian, K. Kanonakis, C. Kachris and I. Tomkos**, A High-Speed MIMO OFDM Flexible Bandwidth Data Center Network, Optical Interconnects for Future Data Center Networks, Springer, ISBN: 978-1-4614-4629-3, 2012
- Γ.6 **G. Dimitrakopoulos, C. Kachris and E. Kalligeros**, Switch design for soft interconnection networks, Embedded Systems Design with FPGAs, 2012, Springer, ISBN: 978-1-4614-1361-5, 2012

Δ. ΔΙΕΘΝΗ ΠΕΡΙΟΔΙΚΑ ΜΕ ΚΡΙΤΕΣ

- Δ.1 D. Danopoulos, C. Kachris, D. Soudris,
Utilizing cloud FPGAs towards the open neural network standard,
Sustainable Computing: Informatics and Systems 30, 100520, Elsevier, 2021
Citations: Impact Factor: 2.8
- Δ.2 R. Buyva et al, **A Manifesto for Future Generation Cloud Computing: Research Directions for the Next Decade**, ACM Computing Surveys, vol. 51, no 5, November 2018
- Δ.3 G. Smaragdos, G. Chatzikonstantis, R. Kukreja, H. Sidiropoulos, D. Rodopoulos, I. Sourdis, Z. Al-Ars, C. Kachris, D. Soudris, C. De Zeeuw, C. Strydis, **BrainFrame: a node-level heterogeneous accelerator platform for neuron simulations**, Journal of Neural Engineering 14 (6), vol 16, is 4, 2017
Citations: Impact Factor: 3.46
- Δ.4 C. Kachris, D. Diamantopoulos, G. Ch. Sirakoulis, D. Soudris, **An FPGA-based Integrated MapReduce Accelerator Platform**, Journal of Signal Processing Systems, pp. 1-13, doi: 10.1007/s11265-016-1108-7
Citations: 1 Impact Factor: 0.72
- Δ.5 C. Kachris, G. Sirakoulis, D. Soudris, **A MapReduce Scratchpad Memory for Multi-core Cloud Computing Applications**, Elsevier Microprocessor and Microsystems, Vol. 39, Is. 8, November 2015, pp. 599–608
Citations: 5 Impact Factor: 0.47
- Δ.6 M. I. Tsompanas, C. Kachris, G. Sirakoulis, **Modeling Cache Memory Utilization on Multicore Using Common Pool Resource Game on Cellular Automata**, ACM Transactions on Modeling and Computer Simulation, Vol. 26 Is. 3, February 2016, pp. 21:1-21:22
Citations: 1 Impact Factor: 1.31
- Δ.7 R. Borkowski, R. Durán, C. Kachris, D. Siracusa, A. Caballero, N. Fernández, D. Klonidis, A. Francescon, T. Jiménez, J. C. Aguado, I. de Miguel, E. Salvadori, I. Tomkos, R. Lorenzo, I. Monroy, **Cognitive Optical Network Testbed: EU project CHRON**, Journal of Optical Communications and Networks, vol. 7, iss. 2, pp. A344–A355, 2015
Citations: 4 Impact Factor: 2.18
- Δ.8 N. Chrysos, Lydia Chen, C. Kachris, M. Katevenis, **Discharging the Network From Its Flow Control Headaches: Packet Drops and HOL Blocking**, IEEE/ACM Transactions on Networking, 24 (1), 15-28, 2016
Citations: 1 Impact Factor: 2.18
- Δ.9 G. Tzimpragos, C. Kachris, I. B. Djordjevic, M. Cvijetic, D. Soudris, and I. Tomkos, **A Survey on FEC Codes**

- for 100G and Beyond Optical Networks**, IEEE Communications Surveys and Tutorials, 18(1), October 2014
 Citations: 100 Impact Factor: 6.49
- Δ.10 C. Kachris, K. Kanonakis, I. Tomkos, **Optical Interconnection Networks in Data Centers: recent trends and future challenges**, IEEE Communications Magazine, vo. 51, no. 9, pp. 39-45, 2013
 Citations: 205 Impact Factor: 5.12
- Δ.11 C. Kachris, I. Tomkos, **Optical OFDM-based Data Center Networks**, Journal of Networks, vol. 8, no. 7, pp. 1488-1496, 2013
 Citations: 3 Impact Factor: 0.38
- Δ.12 P. N. Ji, D. Qian, K. Kanonakis, C. Kachris and I. Tomkos, **Design and Evaluation of a Flexible-Bandwidth OFDM-Based Intra Data Center Interconnect**, IEEE Journal of Selected Topics In Quantum Electronics, vol. 19, no. 2, March/April 2013
 Citations: 60 Impact Factor: 3.46
- Δ.13 A. Belias, V. Koutsoumpos, K. Manolopoulos, C. Kachris, **Reconfigurable hardware applications on NetFPGA for network monitoring in large area sensor networks**, Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, vol. 725, pp. 191-194, 2013
 Citations: 0 Impact Factor: 1.2
- Δ.14 C. Kachris, I. Tomkos, **Power Consumption Evaluation of All-Optical Data Center Networks**, Cluster Computing, vol. 16, no. 3, pp. 611-623, 2013
 Citations: 34 Impact Factor: 0.5
- Δ.15 C. Kachris, I. Tomkos, **A Survey on Optical Interconnects for Data Centers**, IEEE Communications Surveys and Tutorials, vol. 14, no.4, pp. 1021-1036, 2012 (**Top-20 cited paper in IEEE Communications Surveys & Tutorials in the last 5 years, one of the 28 most-cited articles on "Big Data" Research since 1980 – 2014, 2018 ESI Highly Cited Paper - Top-20 cited paper**)
 Citations: 602 Impact Factor: 6.49
- Δ.16 C. Kachris, G. Nikiforos, V. Papaefstathiou, S. Kavadias, M. Katevenis, **NP-SARC: Scalable Network Processing in the SARC Multi-core FPGA platform**, Journal of Systems Architecture, nol. 59, no. 1, pp. 39-47, 2012
 Citations: 2 Impact Factor: 0.68
- Δ.17 C. Kachris, C. Kulkarni, **Transactional Memories for Multi-Processor FPGA Platforms**, Journal of Systems Architecture, vol. 57, no. 1, pp.160-168, 2011
 Citations: 5 Impact Factor: 0.68
- Δ.18 C. Kachris, S. Wong, S. S. Vassiliadis, **Design and Performance Evaluation of an Adaptive FPGA for network applications**, Microelectronics Journal, vol. 40, no. 7, pp. 1103-1110, 2009
 Citations: 7 Impact Factor: 0.87
- Δ.19 L. Mhamdi, M. Hamdi, C. Kachris, S. Wong, S. Vassiliadis, **High-Performance Switching Based on Buffered Crossbar Fabrics**, Computer Networks Journal, vol. 50, no. 13, pp. 2271-2285, 2006
 Citations: 14 Impact Factor: 1.44
- Δ.20 P.D. Dimitropoulos, C. Kachris, D.P. Karampatzakis, G.I. Stamoulis, **A new SOI monolithic capacitive sensor for absolute and differential pressure measurements**, Sensors and Actuators A: Physical, vol. 123-124, pp. 36-43, 2005

Citations: 32 Impact Factor: 2.2

Δ.21 A. Nikologiannis, I. Papaefstathiou, G.Kornaros, C. Kachris, **An FPGA-based Queue Management System for High Speed Networking Devices**, Elsevier Journal on "Microprocessors and Microsystems", special issue on FPGAs, vol. 28, no. 5-6, pp. 223-236, August 2004

Citations: 15 Impact Factor: 0.47

Δ.22 C. Kachris, N. G. Bourbakis, A. Dollas, **A Reconfigurable Logic-Based Processor for the SCAN Image and Video Encryption Algorithm**, International Journal of Parallel Programming, vol. 31, no. 6, pp. 489-506, 2003

Citations: 25 Impact Factor: 0.68

E. ΔΙΕΘΝΗ ΣΥΝΕΔΡΙΑ ΜΕ ΚΡΙΤΕΣ ΚΑΙ ΠΡΑΚΤΙΚΑ

E.1 C. Kardaris, C. Kachris, D. Soudris, **A high-performance FPGA architecture for Acceleration of SVM Machine Learning Training**, 2022 Panhellenic Conference on Electronics & Telecommunications (PACET), pp. 1-6

E.2 G. Tzanos, C. Kachris, D. Soudris, **Hardware Acceleration of Transformer Networks using FPGAs**, 2022 Panhellenic Conference on Electronics & Telecommunications (PACET), pp. 1-5

E.3 D. Danopoulos, K. Anagnostopoulos, C. Kachris, D. Soudris, **FPGA Acceleration of Generative Adversarial Networks for Image Reconstruction**, 10th International Conference on Circuits and Systems Technologies (MOCAST 2021), September 2021

E.4 D. Danopoulos, C. Kachris, D. Soudris **Covid4HPC: A Fast and Accurate Solution for Covid Detection in the Cloud using X-Rays**, International Symposium on Applied Reconfigurable Computing (ARC), July 2021

E.5 D. Danopoulos, C. Kachris, D. Soudris, **Utilizing Cloud FPGAs towards the Open Neural Network Standard**, 11th IEEE International Green and Sustainable Computing Conference (IGSC 2020), October 2020

E.6 A. Zoukarni, C. Kachris, D. Soudris, **Hardware Acceleration of Decision Tree Learning Algorithm**, International Conference on Modern Circuits and Systems Technologies (MOCAST) on Electronics and Communications, MOCAST 2019, Bremen, Germany, May 2020 (**Best Paper Award nomination**)

E.7 D. Danopoulos, C. Kachris, D. Soudris, **Automatic Generation of FPGA Kernels From Open Format CNN Models**, The 28th IEEE International Symposium on Field-Programmable Custom Computing Machines, FCCM 2020, Fayetteville, Arkansas, USA, May 2020

E.8 D. Danopoulos, C. Kachris, D. Soudris, **Approximate Similarity Search with FAISS framework using FPGAs on the cloud**, International Conference on Embedded Computer Systems, Architecture Modeling and Simulation (SAMOS), July 7-11 2019, Samos Greece

E.9 D. Danopoulos, C. Kachris, D. Soudris, **FPGA Acceleration of Approximate KNN Indexing on High-Dimensional Vectors**, 14th International Symposium on Reconfigurable Communication-centric Systems-on-Chip (ReCoSoC 2019), July 1-3 2019, York - United Kingdom

E.10 G. Tzanos, C. Kachris, D. Soudris, **Hardware Acceleration on Gaussian Naive Bayes Machine Learning Algorithm**, International Conference on Modern Circuits and Systems Technologies (MOCAST) on Electronics and Communications, MOCAST 2019, May 2019, Greece

E.11 E. Koromilas, C. Kachris, D. Soudris, F.J. Ballesteros, P. Martinez, **Modular FPGA Acceleration of Data Analytics in Heterogenous Computing**, 2019 Design, Automation & Test in Europe Conference & Exhibition (DATE), 626-629

- E.12 I. Stamelos, E. Koromilas, C. Kachris, D. Soudris, **A Novel Framework for the Seamless Integration of FPGA Accelerators with Big Data Analytics Frameworks in Heterogeneous Data Centers**, 2018 International Conference on High Performance Computing & Simulation (HPCS), pp. 539-545., 2018
- E.13 C. Kachris et al., **The VINEYARD integrated framework for hardware accelerators in the cloud**, Proceedings of the 18th International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation, pp. 236 – 243, July 2018
- E.14 D. Danopoulos, C. Kachris, D. Soudris, **Acceleration of image classification with Caffe framework using FPGA**, 2018 7th International Conference on Modern Circuits and Systems Technologies (MOCAST), May 2018
- E.15 K Katsantonis, C Kachris, D Soudris, **Efficient Hardware Acceleration of Recommendation Engines: A Use Case on Collaborative Filtering**, Applied Reconfigurable Computing, ARC April 2018
- E.16 C Kachris, I Stamelos, E Koromilas, D Soudris, **Seamless FPGA Deployment over Spark in Cloud Computing: A Use Case on Machine Learning Hardware Acceleration**, Applied Reconfigurable Computing, ARC April 2018
- E.17 S. Mavridis, M. Pavlidakis, I. Stamoulias, C. Kozanitis, N. Chrysos, C. Kachris, D. Soudris, A. Bilas, **VineTalk: Simplifying software access and sharing of FPGAs in datacenters**, 2017 27th International Conference on Field Programmable Logic and Applications (FPL), September 2017
- E.18 C Kachris, I Stamelos, E Koromilas, D Soudris, **FPGA acceleration of spark applications in a Pynq cluster**, 2017 27th International Conference on Field Programmable Logic and Applications (FPL), September 2017, pp. 1-1
- E.19 C Kachris, I Stamelos, E Koromilas, D Soudris, **SPynq: Acceleration of machine learning applications over Spark on Pynq**, 2017 International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS), pp.70-77, July, 2017, Greece
- E.20 I. Stamoulias, C. Kachris, D. Soudris, **Hardware accelerators for financial applications in HDL and High Level Synthesis**, 2017 International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS), July 2017, Greece
- E.21 I. Stamoulias, M. Möller, R. Miedema, C. Strydis, C. Kachris, D. Soudris, **High-Performance Hardware Accelerators for Solving Ordinary Differential Equations**, Proceedings of the 8th International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies, June 2017
- E.22 E. Koromilas, I. Stamelos, C. Kachris, D. Soudris, **Spark acceleration on FPGAs: A use case on machine learning in Pynq**, International Conference on Modern Circuits and Systems Technologies (MOCAST), Thessaloniki, Greece, May 2017
- E.23 C. Kachris, D. Soudris, **A Survey on Reconfigurable Accelerators for Cloud Computing**, International Conference on Field-Programmable Logic and Applications (FPL) 2016, 2 September 2016, Lausanne, Switzerland
- E.24 C. Kachris, I. Stamelos, D. Soudris, **Performance and Energy evaluation of Spark applications on low-power SoCs**, IEEE International Symposium on Systems, Architectures, Modeling and Simulation (SAMOS'16), Samos, Greece, July 2016
- E.25 C. Kachris, D. Soudris, G. Gaydadjiev, H. Nguyen, D. S. Nikolopoulos, A. Bilas, N. Morgan, C. Strydis, C. Tsalidis, J. Balafas, R. Jimenez-Peris, A. Almeida, **The VINEYARD approach: Versatile, Integrated, Accelerator-based, Heterogeneous Data Centres**, International Symposium on Applied Reconfigurable Computing (ARC 2016), March 22-24, 2016, Rio de Janeiro, Brazil
- E.26 N. Liakopoulos, G. Menoutis, I. Patronas, A. Foteas, C. Kachris, D. Klonidis, **Design of Optical Network Unit (ONU) for Hybrid TDM/WDM NG-PON**, IEEE International Conference on Electronics, Circuits, and Systems (ICECS), Cairo, Egypt, December 2015

- E.27 I. Tomkos, C. Kachris, P.S. Khodashenas, J.K. Soldatos, **Optical networking solutions and technologies in the big data era**, Transparent Optical Networks (ICTON), 2015 17th International Conference on, July 2015
- E.28 C. Kachris, I. Tomkos, **A Roadmap on Optical Interconnects in Data Centre Networks**, IEEE International Conference on Transparent Optical Networks (ICTON), July 2015
- E.29 D. Diamantopoulos, C. Kachris, **High-level Synthesizable Dataflow MapReduce Accelerator for FPGA-coupled Data Centers**, IEEE International Symposium on Systems, Architectures, Modeling and Simulation (SAMOS'15), Samos, Greece, July 2015
- E.30 C. Kachris, G. Sirakoulis, D. Soudris, **A Reconfigurable MapReduce Accelerator for multi-core all-programmable SoCs**, IEEE International Symposium on System-on-Chip (SOC'14), Tampere, Finland, October 2014
- E.31 C. Kachris, G. Tzimpragos, D. Soudris, I. Tomkos, **Reconfigurable FEC Codes for Next Generation Software-defined Optical Transceivers**, 13th International Conference on Optical Communications and Networks (ICOCN'14), Suzhou, China, November 2014
- E.32 C. Kachris, G. Tzimpragos, G. Borriello, P. Zakyntinos, I. Tomkos, **Flexible FEC Codes for Next-Generation Software-Defined Optical Transceivers**, IEEE International Conference on Transparent Optical Networks, (ICTON'14), Graz, Austria, July 2014
- E.33 G. Tzimpragos, C. Kachris, D. Soudris, I. Tomkos, **A Low-Latency Algorithm and FPGA Design for the Min-Search of LDPC Decoders**, 21st IEEE Reconfigurable Architecture Workshop (RAW-IPDPS'14), Phoenix, Arizona, May 2014
- E.34 R. Borkowski, A. Caballero, D. Klonidis, C. Kachris, A. Francescon, I. de Miguel, R. J. D. Barroso, D. Zibar, I. Tomkos, I. Tafur, **Advanced Modulation Formats in Cognitive Optical Networks: EU project CHRON Demonstration**, Optical Fiber Communication Conference, (OFC'14), W3H.1, March 2014
- E.35 C. Kachris, D. Klonidis, A. Francescon, D. Siracusa, E. Salvadori, N. Fernández, T. Jiménez, R. J. Durán, I. de Miguel, J. C. Aguado, R. M. Lorenzo, R. Borkowski, A. Caballero, I. T. Monroy, Y. Ye, A. Tymecki, I. Tomkos, **Experimental Demonstration of a Cognitive Optical Network for Reduction of Restoration Time**, Optical Fiber Communication Conference, (OFC'14), W2A.28, March 2014
- E.36 C. Kachris, G. Sirakoulis, D. Soudris, **A Configurable MapReduce Accelerator for Multi-core FPGAs**, 22nd ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA'14), Monterey, CA, Feb. 2014
- E.37 G. Tzimpragos, C. Kachris, D. Soudris, I. Tomkos, **Automatic Implementation of Low-Complexity QC-LDPC Encoders**, IEEE International Workshop on Power and Timing Modeling, Optimization and Simulation, (PATMOS'13), Karlsruhe, Germany, Sep. 2013
- E.38 G. Tzimpragos, C. Kachris, D. Soudris, I. Tomkos, **A Low-complexity Implementation of QC-LDPC Encoder in Reconfigurable Logic**, IEEE International Conference on Field Programmable Logic (FPL'13), Porto, Portugal, Sep. 2013
- E.39 M. I. Tsompanas, C. Kachris, G. Sirakoulis, **Evaluating Conflicts Impact over Shared LLC using Public Goods Game on Cellular Automata**, The 4th Workshop on Cellular Automata Algorithms & Architectures (CAAA-HPCS'13), Helsinki, Finland, July 2013
- E.40 M. I. Tsompanas, C. Kachris, G. Sirakoulis, **Optimization of shared-memory multicore systems using Game Theory and Genetic Algorithms on Cellular Automata lattices**, 16th International Workshop on Nature Inspired Distributed Computing (NIDISC'13), Boston, Massachusetts, USA, May 2013
- E.41 C. Kachris, I. Tomkos, **Optical interconnection networks for data centers**, 17th International Conference on Optical Network Design and Modeling (ONDM'13), Brest, France, April 2013
- E.42 P. N. Ji, C. Kachris, I. Tomkos, T. Wang, **Energy Efficient Data Center Network Based on a Flexible**

- Bandwidth MIMO-OFDM Optical Interconnect**, IEEE International Conference on Cloud Computing Technology and Science (CloudCom'02), Taipei, Taiwan, December 2012
- E.43 C. Kachris, P. N. Ji, T. Wang, I. Tomkos, **Energy efficient Flexible-Bandwidth OFDM-Based Data Center Network**, IEEE International Conference on Cloud Networking (CloudNet'12), Paris, Nov. 2012
- E.44 C. Kachris, G. Sirakoulis, D. Soudris, **Performance Evaluation of Embedded Processor in MapReduce Cloud Computing Applications**, International Conference on Cloud Computing (CloudComp'12), Wien, Austria, Sept. 2012
- E.45 P. Ji, T. Wang, D. Qian, L. Xu, Y. Aono, T. Tajima, K. Kanonakis, C. Kachris, I. Tomkos, **Demonstration of High-Speed MIMO OFDM Flexible Bandwidth Data Center Network**, IEEE European Conference on Optical Communications (ECOC'12), Amsterdam, Netherlands, Sep. 2012
- E.46 C. Kachris, I. Tomkos, **The Rise of Optical Interconnects in Data Centre Networks**, IEEE International Conference on Transparent Optical Networks, (ICTON'12), Coventry, UK, July 2012
- E.47 I. Cano, M.C. Santos, X. Escayola, V. Polo, J. Prat, E. Giacomidis, C. Kachris, I. Tomkos, **An OFDMA-PON with non-preselected independent ONU sources and centralized feedback wavelength control: Dimensioning and experimental results**, IEEE International Conference on Transparent Optical Networks, (ICTON'12), Coventry, UK, July 2012
- E.48 C. Kachris, I. Tomkos, **Energy-efficient Bandwidth Allocation in Optical OFDM-based Data Center Networks**, Optical Fiber Communication Conference, (OFC'12), JTh2A.34, March 2012
- E.49 C. Kachris, E. Giacomidis, I. Tomkos, **Energy-efficient Study of Optical OFDM in Data Centers**, Optical Fiber Communication Conference, (OFC'11), JWA087, March 2011
- E.50 G. Dimitrakopoulos, C. Kachris, E. Kalligeros, **Scalable arbiters and multiplexers for on-FPGA interconnection networks**, IEEE International Conference on Field Programmable Logic and Applications (FPL'11), Chania, Greece, Sep 2011
- E.51 C. Kachris, I. Tomkos, **Power Consumption Evaluation of Hybrid WDM PON Networks for Data Centers**, IEEE European Conference on Networks and Optical Communication (NOC'11), Newcastle, UK, July 2011
- E.52 Y. Gao, C. Kachris, M. Katevenis, **An Efficient Sequential Iterative Matching Algorithm for CIOQ Switches**, IEEE Symposium on Computers and Communications (ISCC'11), Kerkyra (Corfu), Greece, June 2011
- E.53 C. Kachris, G. Nikiforos, S. Kavvadias, V. Papaefstathiou, M. Katevenis, **Network Processing in Multi-core FPGAs with Integrated Cache-Network Interface**, IEEE International Conference on Reconfigurable Computing and FPGAs (Reconfig'10), Cancun, Mexico, December 2010
- E.54 X. Yang, C. Kachris, M. Katevenis, **Efficient Implementation for CIOQ Switches with Sequential Iterative Matching Algorithms**, IEEE International Conference on Field-Programmable Technology (FPT'10), Beijing, China, December 2010
- E.55 N. Chrysos, L. Y. Chen, C. Minkenberg, C. Kachris, M. Katevenis, **End-to-end Congestion Management for Non-Blocking, Multi-stage Switching Fabrics using Commodity Switches**, ACM/IEEE Symposium on Architectures for Networking and Communications Systems (ANCS'10), La Jolla, CA, October 2010
- E.56 C. Kachris, G. Nikiforos, V. Papefsthathiou, S. Kavvadias, M. Katevenis, **Low-latency Explicit Communication and Synchronization in Scalable Multi-core Clusters**, IEEE International Conference on Cluster Computing (Cluster'10), Heraklion, Greece, September 2010
- E.57 C. Strydis, C. Kachris, G.N. Gaydadjief, **ImpBench: A novel Benchmark Suite for biomedical, microelectronic implants**, IEEE International Symposium on Systems, Architectures, Modeling and Simulation (SAMOS'08), Samos, Greece, July 2008
- E.58 C. Kachris, S. Vassiliadis, **A Reconfigurable Platform for Multi-Service Edge Routers**, ACM Symposium

on Integrated Circuits and Systems Design, Rio de Janeiro, Brazil, September 2007

- E.59 C. Kachris, S. Vassiliadis, **Design Space Exploration of Configuration Manager for Network Processing Applications**, IEEE International Symposium on Systems, Architectures, Modeling and Simulation (SAMOS'07), Samos, Greece, July 2007
- E.60 C. Kachris, C. Kulkarni, **Configurable Transactional Memories**, IEEE Symposium on Field Programmable Custom Computing Machines (FCCM'07), Napa Valley, CA, April 2007
- E.61 C. Kachris, S. Vassiliadis, **Design of a Web Switch in a Reconfigurable Platform**, ACM/IEEE Symposium on Architectures for Network and Communication Systems (ANCS'06), San Jose, December, 2006
- E.62 C. Kachris, S. Vassiliadis, **A Dynamically Reconfigurable Queue Scheduler**, IEEE International Conference on Field Programmable Logic and Applications (FPL'06), Madrid, Spain, August 2006
- E.63 C. Kachris, S. Vassiliadis, **Performance Evaluation of an Adaptive FPGA for Network Processing**, IEEE Rapid Systems Prototyping (RSP'06), Chania, Greece, June 2006
- E.64 C. Kachris, S. Vassiliadis, **Analysis of a Reconfigurable Network Processor**, Reconfigurable Architectures Workshop (RAW'06), IEEE International Symposium on Distributed and Parallel Systems (IPDPS'06), Rhodos, Greece, April 2006
- E.65 L. Mhamdi, C. Kachris, S. Vassiliadis, **A Reconfigurable Hardware Based Embedded Scheduler for Buffered Crossbar Switches**, IEEE Field Programmable Gate Arrays, (FPGA'06), Monterey, CA, February 2006
- E.66 A. Dollas, I. Ermis, I. Koidis, I. Zisis, C. Kachris, **An Open TCP/IP Core for Reconfigurable Logic**, IEEE Symposium on Field Programmable Custom Computing Machines (FCCM'05), Napa Valley, CA, April 2005
- E.67 I. Papaefstathiou, G. Kornaros, T. Orphanoudakis, C. Kachris, **Queue management in Network Processors**, Design Automation and Test in Europe (DATE'05), Munich, Germany, March 2005
- E.68 C. Kachris, Th. Orphanoudakis, **Performance Evaluation of Queue Management Implementations in Network Processing Units**, WSEAS, CSCC, July 2004, Athens, Greece
- E.69 C. Kachris, A. Dollas, N. Bourbakis, **Performance Analysis of Fixed, and Custom Architectures for the SCAN Image and Video Encryption Algorithm**, IEEE Symposium on Field Programmable Custom Computing Machines (FCCM'03), Napa Valley, CA, April 2003
- E.70 C. Kachris, A. Dollas, N. Bourbakis, S. Maniccam, **A Reconfigurable Logic-based Processor for the SCAN Image and Video Encryption Algorithm**, Workshop on Application Specific Processors (WASP'02), Istanbul, Turkey, November 2002

ΣΤ. ΆΛΛΕΣ ΔΗΜΟΣΙΕΥΣΕΙΣ (Συνέδρια δίχως κριτές, Μη επιστημονικά περιοδικά, Τεχνικές αναφορές κ.λ.π.)

ΣΤ.1 Accelerate Cloud Computing with the Xilinx Zynq SoC,

*C. Kachris, G. Sirakoulis, D. Soudris,
Xilinx XCell, journal, 4th Quarter 2013*

Διακρίσεις:

2020 *Winners of the Xilinx Open Hardware contest,
Approximate Similarity Search with FAISS in the cloud, Dimitris Danopoulos*

2020 *Winners of the Xilinx Open Hardware contest,
Accelerated Naive Bayes on PYNQ, George Tzanos, Christoforos Kachris*

2018 *Winners of the Xilinx Open Hardware contest,*
Spynq: Apache Spark on Pynq, Elias Koromilas, Ioannis Stamelos, Christoforos Kachris